

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

011205743 **Image available**

WPI Acc No: 1997-183667/199717

XRPX Acc No: N97-151193

LC panel substrate used in active matrix type LCD device - has pixel electrodes which are connected to electrode signal that are laminated with their respective switching elements, for each substrate block

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9043630	A	19970214	JP 95191962	A	19950727	199717 B

Priority Applications (No Type Date): JP 95191962 A 19950727

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9043630	A		4 G02F-001/136	

Abstract (Basic): JP 9043630 A

The LC panel substrate (10) has multiple pixel electrodes (13r,13g,13b) formed in shape of a matrix on its surface. Each pixel electrode is connected with respective electrode signal lines (11r, 11g, 11b) at its perimeter, which are in-turn connected to their respective switching elements (12r,12g,12b).

The multilayered signal lines are laminated with their respective switching elements for each substrate block.

ADVANTAGE - Reduces wiring area of electrode lines on substrate.
Enables enlargement of pixel electrode.

Dwg. 2/4

Title Terms: LC; PANEL; SUBSTRATE; ACTIVE; MATRIX; TYPE; LCD; DEVICE; PIXEL
; ELECTRODE; CONNECT; ELECTRODE; SIGNAL; LAMINATE; RESPECTIVE; SWITCH;
ELEMENT; SUBSTRATE; BLOCK

Derwent Class: P81; U12; U14

International Patent Class (Main): G02F-001/136

File Segment: EPI; EngPI

(c) 2003 JPO & JAPIO. All rts. reserv.

PUB. NO.: 09-043630 [JP 9043630 A]
PUBLISHED: February 14, 1997 (19970214)
INVENTOR(s): FUNASE TAKAHIRO
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 07-191962 [JP 95191962]
FILED: July 27, 1995 (19950727)
INTL CLASS: [6] G02F-001/136
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

PROBLEM TO BE SOLVED: To provide a liquid crystal panel substrate for a bright liquid crystal display device by improving an opening ratio.

SOLUTION: Electrode wires 11r, 11g, 11b connected with switching elements 12r, 12g, 12b of each image electrode are arranged around multiple image electrodes 13r, 13g, 13b formed in a matrix form on a substrate surface and are wired together with every plural wires laminated in multilayers.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-43630

(43) 公開日 平成9年(1997)2月14日

(51) Int. Cl. ⁶

G02F 1/136

識別記号

500

F I

G02F 1/136

500

審査請求 未請求 請求項の数4 O L (全4頁)

(21) 出願番号 特願平7-191962

(22) 出願日 平成7年(1995)7月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 船瀬 貴裕

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

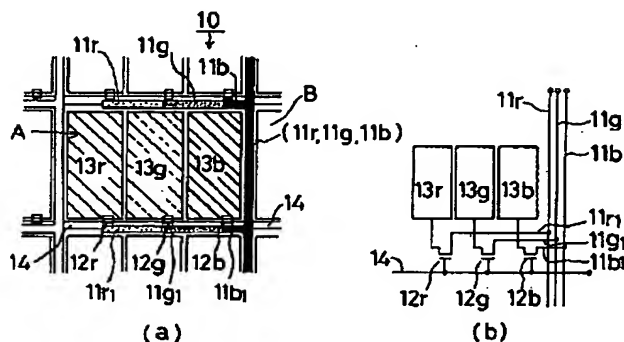
(74) 代理人 弁理士 大胡 典夫

(54) 【発明の名称】 液晶パネル基板

(57) 【要約】

【課題】 開口率の向上をはかり、明るい表示の液晶表示装置用の液晶パネル基板を得る。

【解決手段】 基板の表面にマトリクス状に形成される複数の画素電極13r、13g、13bの周囲に設けられ、各画素電極のスイッチング素子12r、12g、12bに接続される電極線11r、11g、11bを複数本ごとに多層に積層してまとめて配線する。



【特許請求の範囲】

【請求項 1】 基板と、この基板の表面にマトリクス状に形成された複数の画素電極と、前記基板上で前記画素電極周囲に配線された電極線と、前記基板上に前記画素電極ごとに設けられ前記電極線にこの画素電極を接続するスイッチング素子とからなる液晶パネル基板において、前記電極線が複数本ごとに多層に積層して配線されていることを特徴とする液晶パネル基板。

【請求項 2】 電極線がそれぞれ複数のゲート線と信号線からなり、スイッチング素子が前記ゲート線に接続されるゲート電極、前記信号線に接続されるソース電極、画素電極に接続されるドレイン電極を有する薄膜トランジスタであり、前記信号線が複数本ごとに多層に積層して配線されることを特徴とする請求項 1 に記載の液晶パネル基板。

【請求項 3】 複数の画素電極の組で 1 カラー画素を形成し、前記 1 カラー画素ごとに信号線が多層に積層されてなる請求項 1 または 2 に記載の液晶パネル基板。

【請求項 4】 電極線が信号線であり、スイッチング素子が信号線と画素電極間に接続された 2 端子型非線形抵抗素子であり、前記信号線が多層に積層配線されてなる請求項 1 に記載の液晶パネル基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶表示装置に関し、とくにアクティブマトリクス型装置に用いる液晶パネル基板に係わるものである。

【0002】

【従来の技術】 液晶表示装置は電極を対向させた一对の基板間に液晶層を配置して構成され、電極間に電圧を印加して液晶層の電気光学的特性を制御する。

【0003】 液晶表示装置の一種であるアクティブマトリクス型装置は一方のガラス基板上に多数の独立した画素電極をマトリクス状に配置し、電極間に配線した電極線と各画素電極に付属したスイッチング素子を通して接続される。各画素電極面と対向基板上の対向電極とで 1 画素領域が形成され、電極線が配線された領域は液晶層を制御できないために、画素領域を格子窓状に残して非制御領域に遮光層を形成する。

【0004】 すなわち、図 4 (a) (b) は従来の液晶パネル基板を説明するもので、図中、赤用画素電極 3 r、緑用画素電極 3 g、青用画素電極 3 b が並列されこれら電極の右側に赤用信号線 1 a、緑用信号線 1 g、青用信号線 1 b が配線され、さらに画素電極の下にゲート線 4 が配線され、各画素電極の T F T トランジスタ 2 r、2 g、2 b を介して画素電極に接続される。

【0005】 このように各画素電極ごとに配線される電極線の領域は液晶層を制御しないために、遮光層で覆って光漏れを防ぐようにしているが、信号線が各色画素電極ごとに基板上に独立して配線されるために、この配線

領域が面積的に大きくなり、その分の遮光層の幅を広げるために格子窓の開口率が低下する。

【0006】 開口率は高々 50 % 程度であり、上記構造において開口率を改善することは困難であった。

【0007】

【発明が解決しようとする課題】 液晶表示装置は表示画面を明るくすることが望まれ、従来装置では開口率の制限から明るい表示を得ることが難しい状態であった。

【0008】 本発明は開口率の向上により、明るい表示の液晶表示装置用の液晶パネル基板を得ることを目的とするものである。

【0009】

【課題を解決するための手段】 本発明は第 1 に、基板と、この基板の表面にマトリクス状に形成された複数の画素電極と、前記ガラス基板上で前記画素電極周囲に配線された電極線と、前記基板上に前記画素電極ごとに設けられ前記電極線にこの画素電極を接続するスイッチング素子とからなる液晶パネル基板において、前記電極線が複数本ごとに多層に積層して配線されていることを特徴とする液晶パネル基板を得るものである。

【0010】 本発明は第 2 に、電極線がそれぞれ複数のゲート線と信号線からなり、スイッチング素子が前記ゲート線に接続されるゲート電極、前記信号線に接続されるソース電極、画素電極に接続されるドレイン電極を有する薄膜トランジスタであり、前記信号線が複数本ごとに多層に積層して配線されることを特徴とする液晶パネル基板を得るものである。

【0011】 本発明は第 3 に、複数の画素電極の組で 1 カラー画素を形成し、前記 1 カラー画素ごとに信号線が多層に積層されてなる記載の液晶パネル基板を得るものである。

【0012】 本発明は第 4 に、電極線が信号線であり、スイッチング素子が信号線と画素電極間に接続された 2 端子型非線形抵抗素子であり、前記信号線が多層に積層配線されてなる液晶パネル基板を得るものである。

【0013】

【発明の実施の形態】 本発明の液晶パネル基板は、各画素電極の例えば信号線を複数個まとめて同一の基板領域に多重積層して配線することにより、基板に占める画素電極面積を大きくし、かつ電極間で配線のない領域の遮光層の幅を狭くして開口率を高めたものである。

【0014】 図 1 乃至図 3 は本発明の一実施形態を示すものである。

【0015】 図 1 は図 2 に示す本実施形態の液晶パネル基板 10 を用いた液晶パネルであり、液晶パネル基板 10 と対向基板 20 間に液晶層 30 が配置される。対向基板 20 の液晶層側の面は、赤フィルター 21 r、緑フィルター 21 g、青フィルター 21 b からなるカラーフィルター 21 の組が形成され、これらフィネター間に遮光層 22 が形成され、このフィルター 21 上に切れ目のな

い透明導電膜からなる共通対向電極 2 3 および配向膜 2 4 が形成されている。液晶パネル基板 1 0 の透明な例えばガラスの基板 1 0 a 上に赤用画素電極 1 3 r、緑用画素電極 1 3 g、青用画素電極 1 3 b が形成され、その周囲に電極線 1 1 が配線され、さらに配向膜 1 7 が設けられる。

【0016】図 2 および図 3 は液晶パネル基板 1 0 を詳細に説明するもので、図 2 (a) (b) に基板上にマトリクス多数配列した画素電極の一部を、1 カラー画素 A を構成する 3 画素電極トリオ 1 3 r、1 3 g、1 3 b を代表して示す液晶パネル基板 1 0 を示す。これらの電極は赤用画素電極 1 3 r、緑用画素電極 1 3 g、青用画素電極 1 3 b でそれぞれの色の画素領域を形成する。画素電極間は相互に直接的に他の画素電極に隣接しており、これらに各画素電極に付属するスイッチング素子である薄膜トランジスタすなわち TFT 1 2 R、1 2 G、1 2 b を介して接続される信号線 1 1 r、1 1 g、1 1 b は隣接するカラー画素 B の電極との間に配線される。

【0017】信号線は図中、縦方向に延長されて示しており、図 3 (a) に示すように、最下層の青用画素電極の信号線 1 1 b から順に緑用画素電極の信号線 1 1 g、最上層の赤用画素電極の信号線 1 1 r と多重に絶縁層 1 1 i を介して積層される。

【0018】これらの画素電極のゲート線 1 4 は図中、横方向に各画素電極の下方にそって延長され、各画素電極の TFT 1 3 r、1 3 g、1 3 b にゲート電極として共通接続される。

【0019】図 3 (b) は各信号線の共通配線領域に最も近い青用画素電極 1 3 b の TFT 1 2 b 付近の TFT 構造と、配線と画素電極 1 3 b との接続状態を示している。TFT 1 2 b は逆スタガ構造の TFT トランジスタであり、トランジスタのゲート電極を兼ねるゲート線 1 4 上にゲート絶縁層 1 4 i を有し、その上に a-Si 膜からなる半導体層 1 5 b を形成する。この半導体層 1 5 b と一定の距離をおいて青用画素電極 1 3 b が設けられ、この半導体層 1 5 b および画素電極 1 3 b 上に金属層 1 6 b が被着されて両者を接続する。この金属層 1 6 b はトランジスタのドレイン電極を形成する。

【0020】信号線共通配線領域から青用信号線 1 1 b がゲート線に沿って共通配線領域に直交する方向に延長され、TFT 1 3 b に達し、半導体層 1 5 b に上記金属層 1 6 b と一定の間隔をおいて接続される。この接続部分はトランジスタのソース電極となる。

【0021】図 3 (c) は緑用画素電極の TFT 1 2 g 付近の TFT 構造と、配線と画素電極 1 3 g の接続状態を示している。TFT 1 2 g は逆スタガ構造の TFT トランジスタであり、トランジスタのゲート電極を兼ねるゲート線 1 4 上にゲート絶縁層 1 4 j を有し、その上に a-Si 膜からなる半導体層 1 5 g を形成する。この半導体層 1 5 g と一定の距離をおいて緑用画素電極 1 3 g

が設けられ、この半導体層 1 5 g および画素電極 1 3 g 上に金属層 1 6 g が被着されて両者を接続する。この金属層 1 6 g はトランジスタのドレイン電極を形成する。

【0022】信号線共通配線領域から緑用信号線 1 1 g が青用信号線 1 1 b i 上に積層されて直交する方向にゲート線 1 4 に沿って分岐延長され、TFT 1 2 b を経て TFT 1 2 g に達し、半導体層 1 5 g 上に上記金属層 1 6 g と一定の間隔をおいて接続される。この接続部分はトランジスタのソース電極となる。

【0023】図 3 (d) は赤用画素電極の TFT 1 2 r 付近の TFT 構造と、配線と画素電極 1 3 r との接続状態を示している。TFT 1 2 r は逆スタガ構造の TFT トランジスタであり、トランジスタのゲート電極を兼ねるゲート線 1 4 上にゲート絶縁層 1 4 k を有し、その上に a-Si 膜からなる半導体層 1 5 r を形成する。この半導体層 1 5 r と一定の距離をおいて赤用画素電極 1 3 r が設けられ、この半導体層 1 5 r および画素電極 1 3 r 上に金属層 1 6 r が被着されて両者を接続する。この金属層 1 6 r はトランジスタのドレイン電極を形成する。

【0024】信号線共通配線領域から赤用信号線 1 1 r が青用信号線 1 1 b i および緑用信号線 1 1 g i 上に積層されて共通配線領域に直交する方向にゲート線 1 4 に沿って分岐延長され、TFT 1 2 g を経て TFT 1 2 r に達し、半導体層 1 5 r に上記金属層 1 6 r と一定の間隔をおいて接続される。この接続部分はトランジスタのソース電極となる。

【0025】図 2 (b) に示すように、ゲート線 1 4 に走査信号を印加し、各色の信号線 1 1 にデータ信号を印加することにより、TFT スwitching 素子 1 2 r、1 2 g、1 2 b がスイッチされ、画素電極 1 3 r、1 3 g、1 3 b に選択的に電圧が印加される。したがって、共通対向電極間に電圧が印加され、印加領域の液晶層 3 0 は電気光学的に制御されて、光スイッチまたは光弁として動作する。

【0026】図 1 (b) に示すように、画素電極 1 3 r、1 3 g、1 3 b に 1 対 1 で対応して形成されるカラーフィルタ 2 1 r、2 1 g、2 1 b の周囲に形成される遮光層 2 2 は、配線のある領域は幅広層 2 2 i に、配線の無い画素電極間の領域は幅狭層 2 2 j に形成され、この遮光層 2 2 が形成する開口率は一例として 75% であり、従来パネルに比べて、1.5 倍、開口率が向上した。

【0027】以上実施形態で述べたように、電極線を多重に積層することにより、ガラス基板上に占める電極線の領域の面積割合を低減することが可能になり、開口率を高めることができる。

【0028】本発明は、スイッチング素子として TFT のみならず、MIM 素子などの 2 端子型非線形抵抗素子を用いた液晶パネル基板にも適用することができる。M

IM素子の配置されるパネル基板には信号線のみが配線されるが、複数画素電極例えば1カラー画素を形成する画素電極トリオごとに信号線共通配線領域を1か所にまとめて多重に積層することで、基板に占める配線領域の面積を低減し開口率を高めることができる。

【0029】

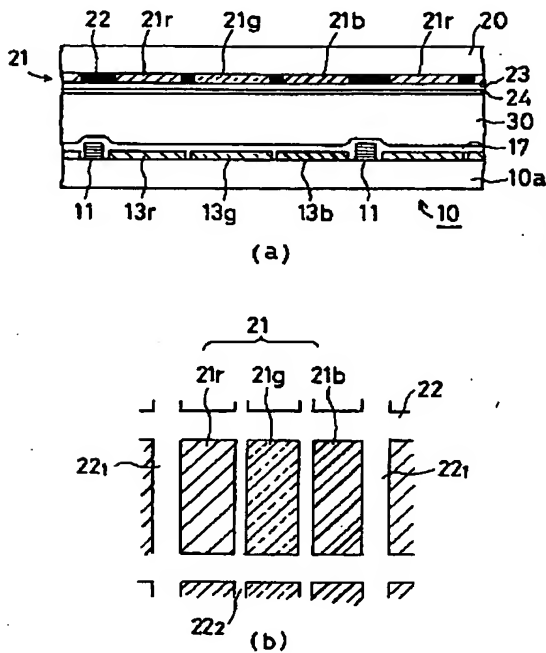
【発明の効果】本発明は、基板上の電極線の配線領域の面積を低減し、画素電極の面積を拡大することができ、開口率を向上することができる。

【図面の簡単な説明】

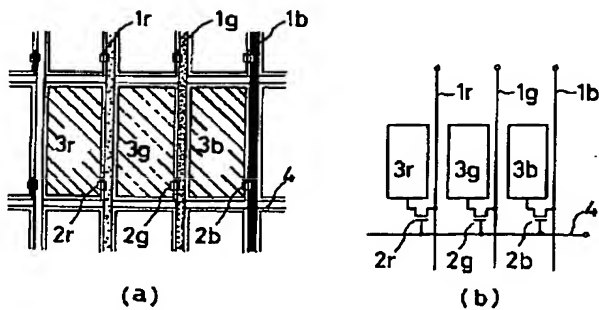
【図1】(a)は本発明の一実施形態を示す一部断面図、(b)は対向基板の一部平面図、

【図2】(a)は本発明の一実施形態の液晶パネル基板

【図1】



【図4】



の一部平面図、(b)は(a)の等価回路図、

【図3】(a)、(b)、(c)、(d)は図2の一部を示す断面略図、

【図4】従来装置を示すもので、(a)は一部平面図、(b)は(a)の等価回路図。

【符号の説明】

10：液晶パネル基板

10a：基板

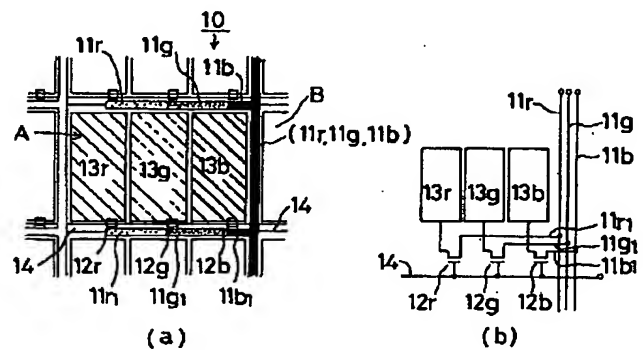
11r、11g、11b：信号線

10 12r、12g、12b：TFT

13r、13g、13b：画素電極

14：ゲート線

【図2】



【図3】

